

# Problema 1

Un sistema sequenziale sincrono ha il compito di elaborare dati numerici, ognuno costituito da al più  $K_{MAX} = 100$  cifre decimali individualmente rappresentate secondo il codice BCD mediante 4 bit.

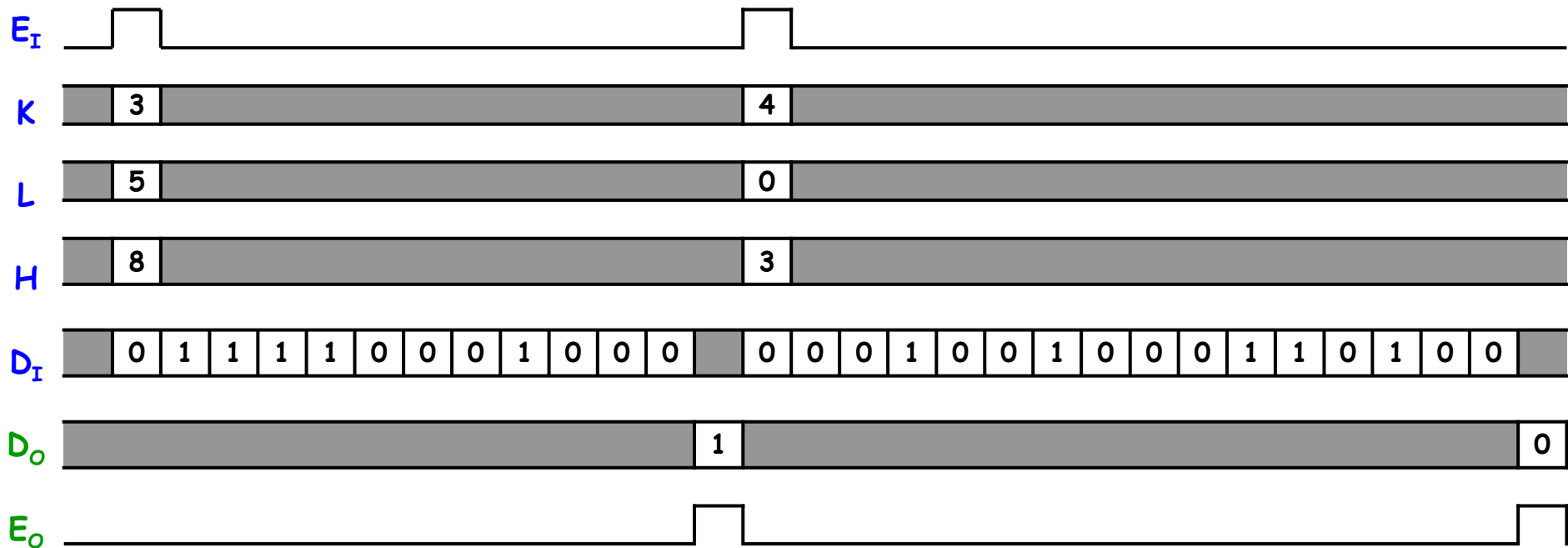
Il numero di cifre  $K$  corrispondente a ciascun dato è definito da 7 bit di ingresso  $k_6$  (MSB),  $k_5, k_4, k_3, k_2, k_1, k_0$  (LSB) secondo il sistema di numerazione binario. I 4  $K$  bit di ogni dato sono presentati in ingresso al sistema serialmente attraverso il segnale  $D_I$ , senza soluzione di continuità ed a partire, per ogni cifra, dal bit più significativo. Il segnale  $E_I$ , attivo (livello logico 1) per un intervallo di clock, identifica l'intervallo di trasferimento in ingresso al sistema del primo bit di ciascun dato.

Compito del sistema è verificare, per ogni dato presentato in ingresso, se le corrispondenti  $K$  cifre  $c_1, c_2, \dots, c_K$  soddisfano o meno tutte le seguenti condizioni:

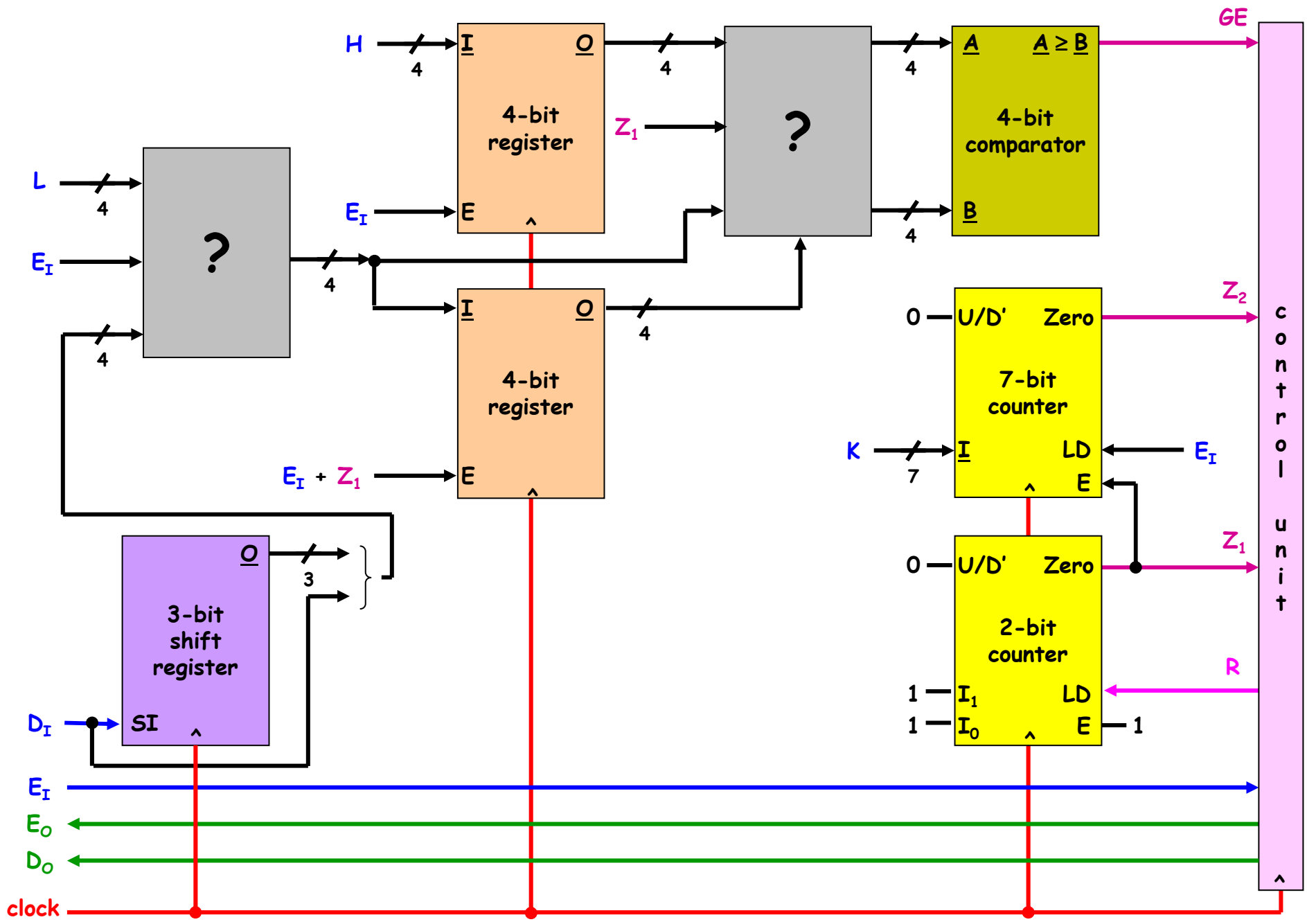
- (1)  $c_i \geq L$       ( $i = 1, 2, \dots, K$ ),
- (2)  $c_i \leq H$       ( $i = 1, 2, \dots, K$ ),
- (3)  $c_i \geq c_{i-1}$     ( $i = 2, 3, \dots, K$ ),

essendo le soglie  $L$  ed  $H$  ( $0 \leq L \leq H \leq 9$ ) definite secondo il codice BCD da ulteriori (4 + 4) bit di ingresso:  $L \equiv l_3$  (MSB),  $l_2, l_1, l_0$  (LSB);  $H \equiv h_3$  (MSB),  $h_2, h_1, h_0$  (LSB). I valori di  $L$  ed  $H$ , così come quello di  $K$ , sono da intendersi significativi soltanto allorché il segnale di ingresso  $E_I$  è attivo. L'esito del processo di verifica deve essere notificato dal sistema tramite il segnale di uscita  $D_O$  ( $D_O = 1$  in caso di esito positivo,  $D_O = 0$  in caso contrario) in corrispondenza dell'intervallo di clock immediatamente successivo a quello di ricezione dell'ultimo bit di un dato. Contestualmente il sistema deve attivare (livello logico 1, durata unitaria) il segnale di uscita  $E_O$ .

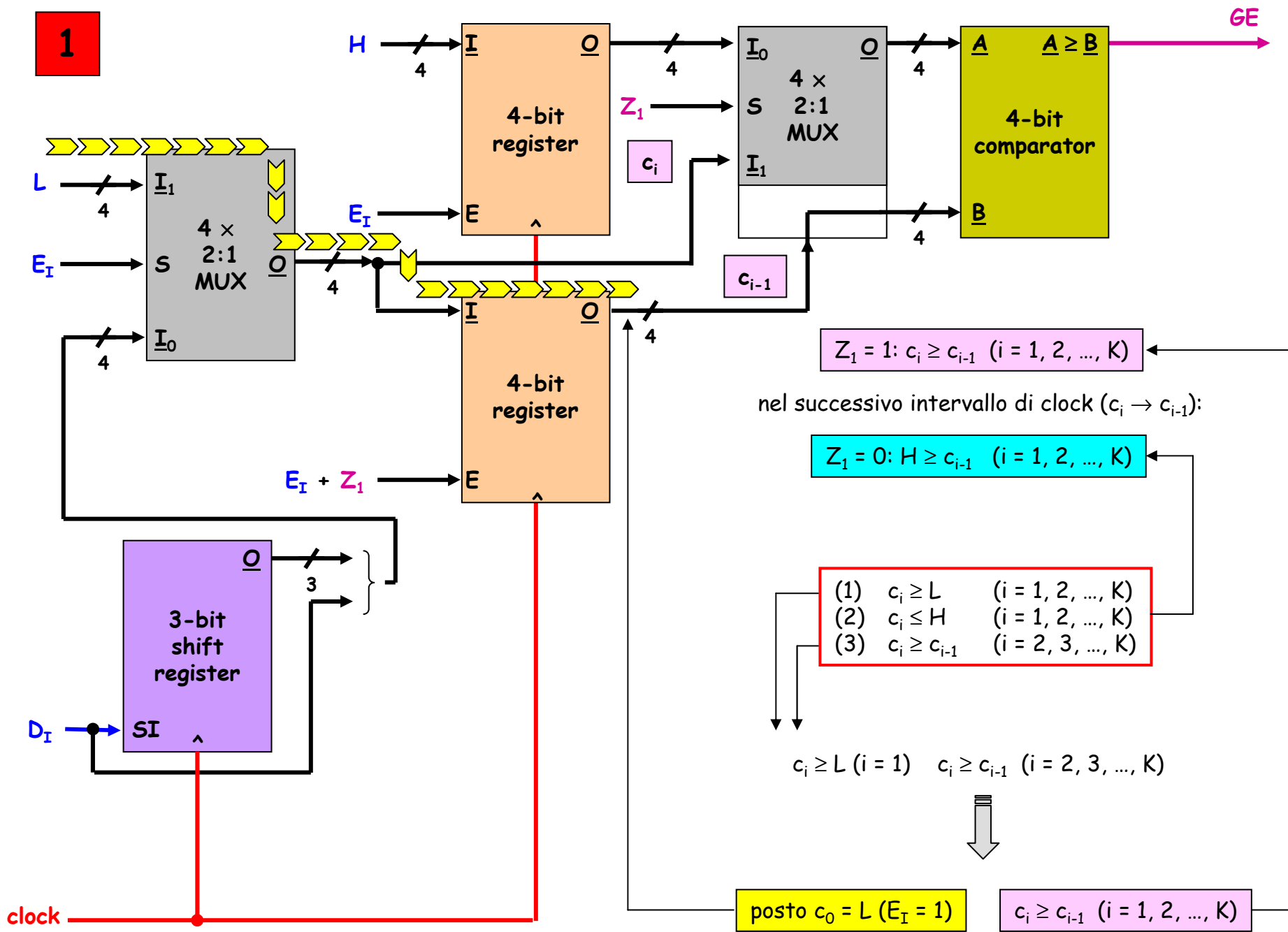
Il sistema deve essere strutturato in accordo al modello "data-path & control unit", secondo lo schema riportato in figura.



1. Si completi il progetto del data-path utilizzando i componenti ritenuti più idonei allo scopo e motivando esplicitamente le scelte operate.
2. Si formalizzi il comportamento dell'unità di controllo (ingressi:  $E_I$ ,  $Z_1$ ,  $Z_2$ ,  $GE$ ; uscite:  $R$ ,  $D_O$ ,  $E_O$ ) in termini di automa a stati finiti.
3. Si identifichino le modifiche e/o le estensioni che è necessario prevedere a livello di data-path nell'ipotesi che il sistema debba attuare il seguente processo di verifica in luogo del precedente:
  - (1)  $c_i \geq L$  ( $i = 1, 2, \dots, K$ ),
  - (2)  $c_i \leq H$  ( $i = 1, 2, \dots, K$ ),
  - (3')  $c_i \leq c_{i-1}$  ( $i = 2, 3, \dots, K$ ).
4. Si identifichino le modifiche e/o le estensioni che è necessario prevedere a livello di data-path nell'ipotesi che il sistema debba attuare o il primo o il secondo processo di verifica, in dipendenza del valore (0 o 1, rispettivamente) assunto da un ulteriore segnale di ingresso  $OP$  in corrispondenza dell'intervallo di attivazione del segnale  $E_I$ .

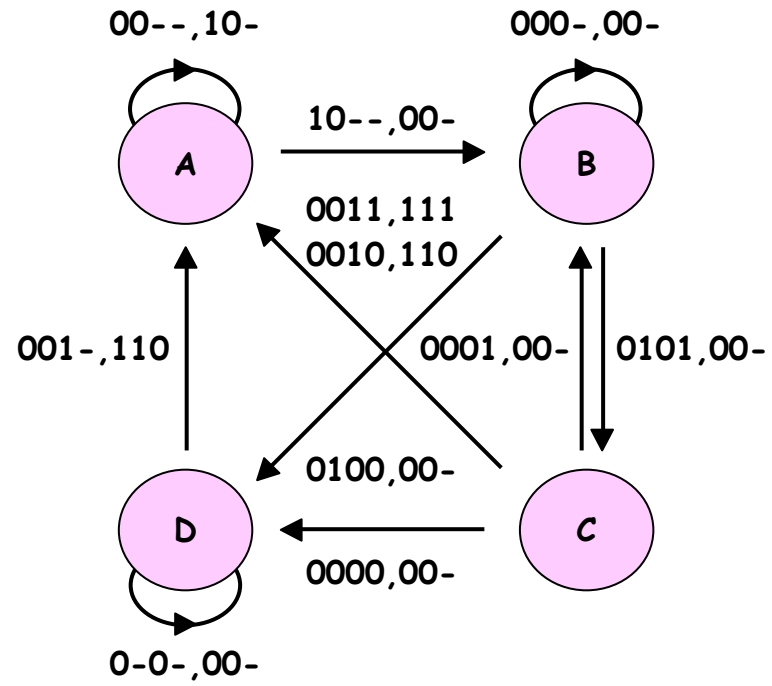


1

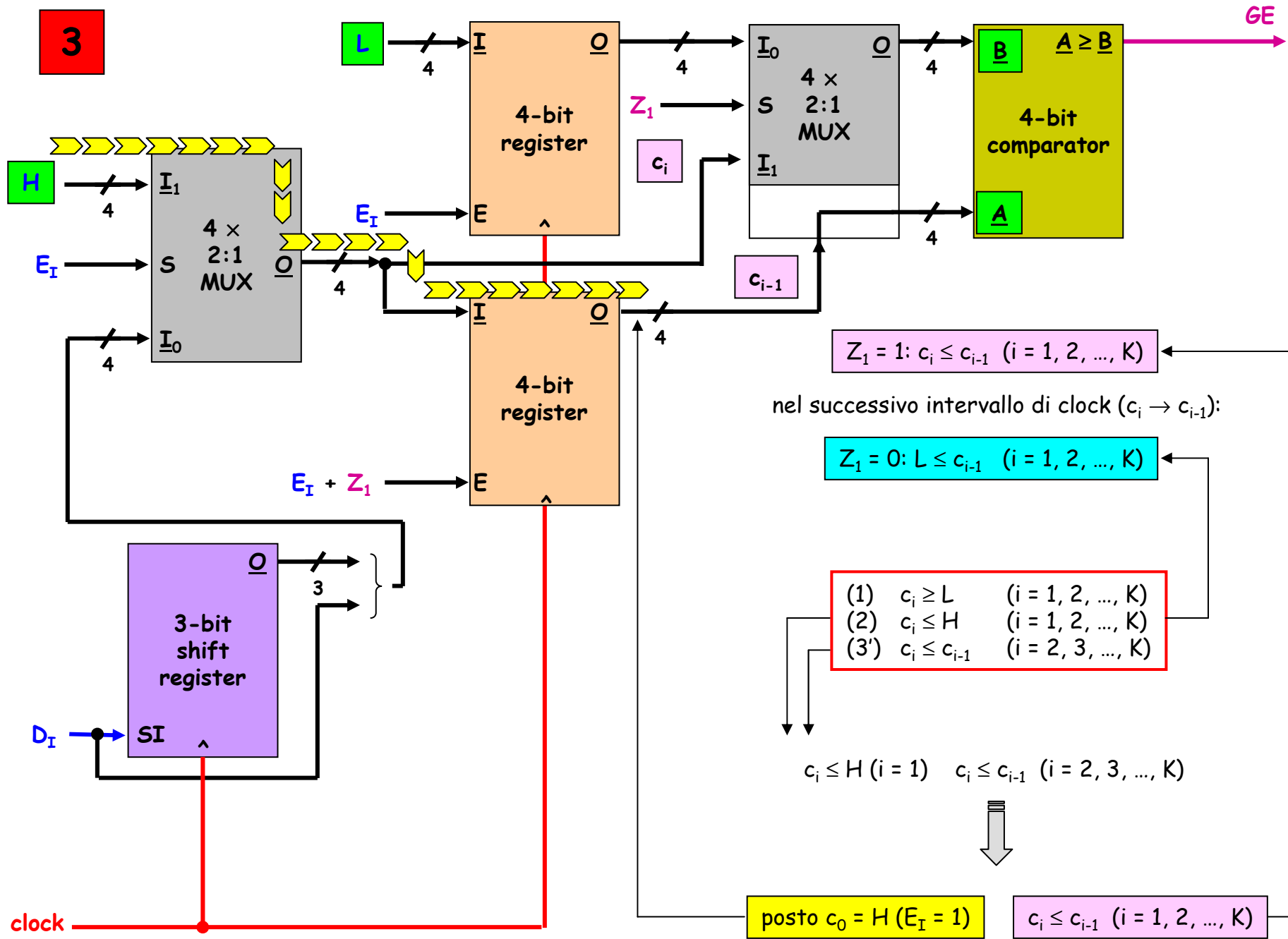


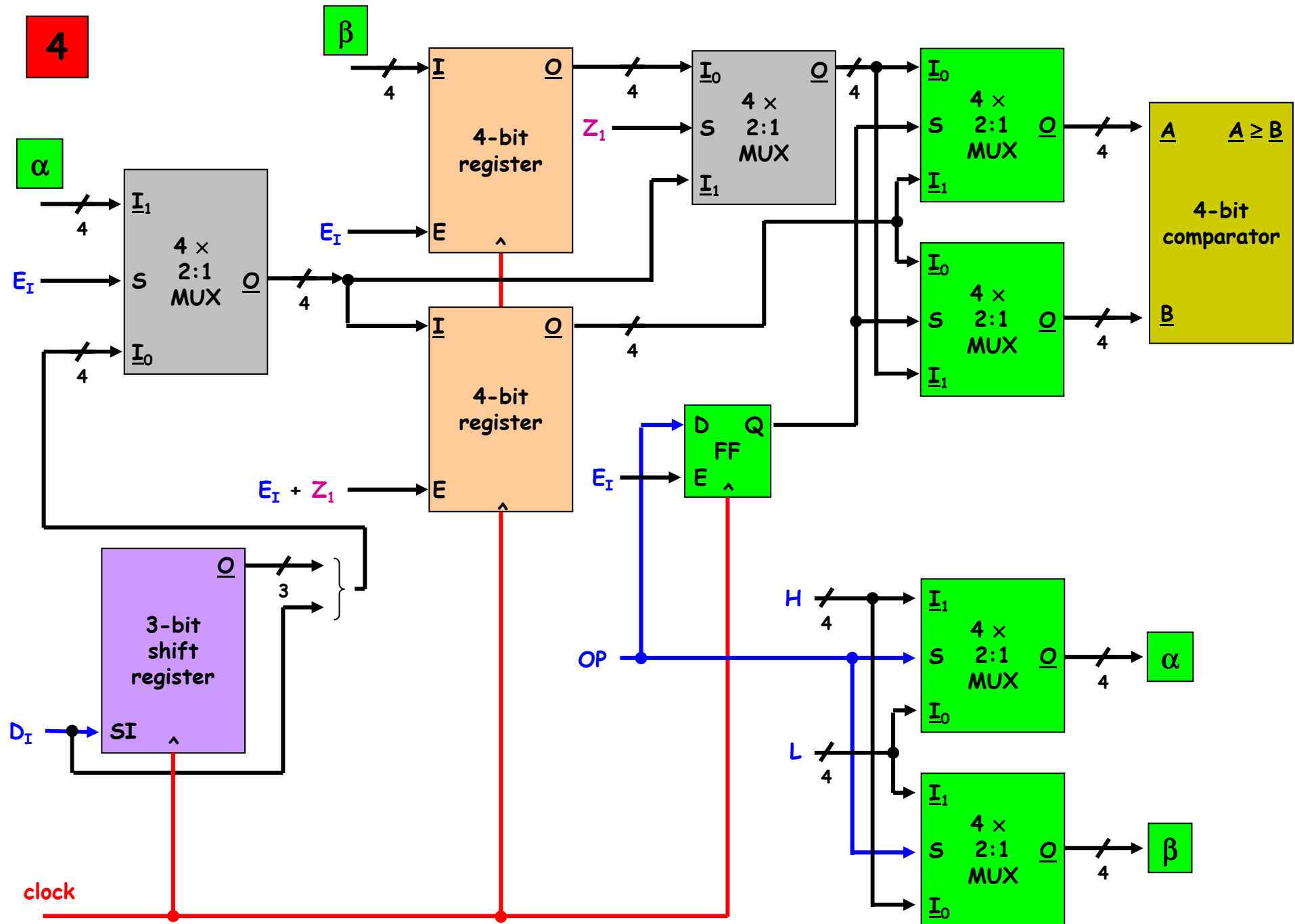
2

$E_1 Z_1 Z_2 GE, R E_0 D_0$



3





# Problema 2

Una rete sequenziale asincrona è caratterizzata da due segnali di ingresso  $X_1, X_0$  e da un segnale di uscita  $Z$ .  $X_1$  e  $X_0$  non possono mai variare contemporaneamente, né essere contemporaneamente attivi (valore logico 1). Il segnale di uscita deve assumere il valore logico 1 allorché un segnale di ingresso è attivo e le due precedenti attivazioni sono imputabili allo stesso segnale.

Si identifichi:

- il grafo degli stati della rete;
- la corrispondente tabella di flusso in forma minima;
- una tabella delle transizioni priva di corse critiche.

